

## ABSTRACT

A direct sense amplifier of the present invention incorporates and isolates: an MOS transistor serving as a differential pair and having a gate connected to a bit line; and an MOS transistor controlled by a column select line wired between RLIO lines in a bit-line direction, and further connects a source of the MOS transistor serving as the differential pair to a common source line wired in the word-line direction. Since the direct sense amplifier only in a select map is activated by the column select line and the common source line during an read operation, power consumption is significantly reduced during the read operation. Also, since a parasitic capacitance of the MOS transistor serving as the differential pair is separated from the local IO line, a load capacity of the local IO line is reduced and the read operation is speeded up. In addition, during the read operation, a data pattern dependency of the load capacity of the local IO line is reduced and a post-manufacture test is easily made.

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局(43) 国際公開日  
2004年5月21日 (21.05.2004)

PCT

(10) 国際公開番号  
WO 2004/042821 A1

- (51) 国際特許分類: H01L 27/108,  
21/8242, G11C 11/407, 11/409
- (21) 国際出願番号: PCT/JP2002/011659
- (22) 国際出願日: 2002年11月8日 (08.11.2002)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人(米国を除く全ての指定国について): 株式会社日立製作所 (HITACHI, LTD.) [JP/JP]; 〒101-8010 東京都千代田区神田駿河台四丁目6番地 Tokyo (JP). エルピーダメモリ株式会社 (ELPIDA MEMORY, INC.) [JP/JP]; 〒104-0028 東京都中央区八重洲二丁目2-1 Tokyo (JP). 株式会社日立超エル・エス・アイ・シス

テムズ (HITACHI ULSI SYSTEMS CO., LTD.) [JP/JP]; 〒187-8522 東京都小平市上水本町5丁目2番1号 Tokyo (JP).

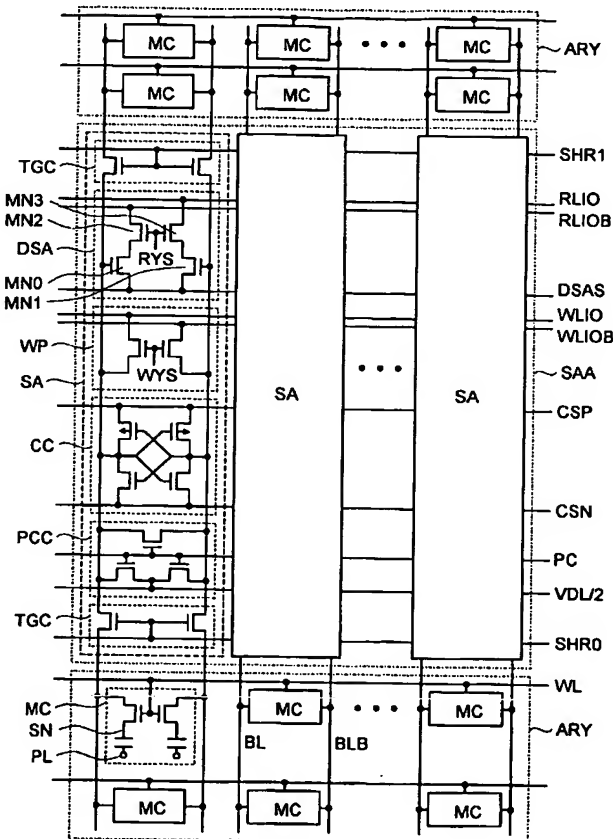
(72) 発明者; および

(75) 発明者/出願人(米国についてのみ): 関口 知紀 (SEKIGUCHI, Tomonori) [JP/JP]; 〒185-8601 東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所 中央研究所内 Tokyo (JP). 宮武 伸一 (MIYATAKE, Shinichi) [JP/JP]; 〒187-8522 東京都小平市上水本町5丁目2番1号 株式会社日立超エル・エス・アイ・システムズ内 Tokyo (JP). 阪田 健 (SAKATA, Takeshi) [JP/JP]; 〒185-8601 東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所 中央研究所内 Tokyo (JP). 竹村 理一郎 (TAKEMURA, Riichiro) [JP/JP]; 〒185-8601 東京都国分寺市東恋ヶ窪一丁目280番地 株式会

[続葉有]

(54) Title: SEMICONDUCTOR MEMORY

(54) 発明の名称: 半導体記憶装置



(57) Abstract: A direct sense amplifier isolates an MOS transistor serving as a differential pair having a gate being connected with a bit line from an RLIO line by inserting an MOS transistor being controlled by a column select line arranged in the direction of the bit line between them and connects the source of the MOS transistor serving as a differential pair with a common source line arranged in the direction of the word line. Power consumption is reduced greatly at the time of read operation by activating the direct sense amplifier only at a select mat through the column select line and the common source line. Higher-rate reading operation is realized by isolating the parasitic capacitance of the MOS transistor serving as a differential pair from a local IO line thereby reducing the load capacity of the local IO line, and test after fabrication is facilitated by reducing the data pattern dependency of the load capacity of the local IO line during the reading operation.

(57) 要約: 本発明のダイレクトセンスアンプはビット線がゲートに接続される差動対として働くMOSトランジスタとRLIO線の間にビット線方向に配線された列選択線で制御されるMOSトランジスタを入れて分離し、さらに差動対として働くMOSトランジスタのソースをワード線方向に配線された共通ソース線に接続する。読出し動作時には、列選択線と、共通ソース線により、選択マトにおいてだけダイレクトセンスアンプを活性化することにより、読出し動作時の消費電力を大幅に低減する。また、差動対として働くMOSトランジスタの寄生容量をローカルIO線から分離してローカルIO線の負荷容量を低減し、読出し速度の高速化を行う。また読出し動作におけるローカルIO線の負荷容量のデータパターン依存性を低減し、製造後の試験を容易化する。



社日立製作所 中央研究所内 Tokyo (JP). 野田 浩正 (NODA, Hiromasa) [JP/JP]; 〒104-0028 東京都 中央区 八重洲二丁目 2-1 エルピーダメモリ株式会社内 Tokyo (JP). 梶谷 一彦 (KAJIGAYA, Kazuhiko) [JP/JP]; 〒104-0028 東京都 中央区 八重洲二丁目 2-1 エルピーダメモリ株式会社内 Tokyo (JP).

(74) 代理人: 筒井 大和 (TSUTSUI, Yamato); 〒160-0023 東京都 新宿区 西新宿 8 丁目 1 番 1 号 アゼリアビル 3 階 筒井国際特許事務所 Tokyo (JP).

(81) 指定国 (国内): CN, JP, KR, US.

(84) 指定国 (広域): ヨーロッパ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, SK, TR).

添付公開書類:  
— 国際調査報告書

2 文字コード及び他の略語については、定期発行される各 PCT ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。